赛灵思 Vivado 设计套件震撼登场

针对未来十年 “All Programmable”器件的颠覆之作

赛灵思采用先进的EDA 技术和方法，提供了全新的工具套件，可显著提高设计生产力和设计结果质量，使设计者更好、更快地创建系统， 而且所用的芯片更少。

作者：赛灵思 Xcell 杂志发行人 Mike Santarini

历经四年的开发和一年的试用版本测试，赛灵思可编程颠覆之作 Vivado 设计套件终于震撼登场，并通过其早期试用计划开始向客户隆重推出。新的工具套件面向未来十年 “All Programmable”器件而精心打造， 致力于加速其设计生产力。

赛灵思市场营销与公司战略高级副总裁 Steve Glaser 表示：“在过去的几年中，赛灵思把半导体技术的创新推向了一个新的高度，并释放了可编程器件全面的系统级能力。随着赛灵思在获奖的 Zynq™-7000 EPP（可 扩展式处理平台）器件、革命性的 3D Virtex®-7 堆叠硅片互联（SSI）的技术器件上的部署， 除了我们在 FPGA 技术上的不断创新之外， ，我们正开启着一个令人兴奋的新时代——一个“All Programmable”器件的时代。”

“All Programmable”器件，将使设计团队不仅能够为他们的设计编程定制逻辑，而且也可以基于 ARM®和赛灵思处理子系统、算法和 I / O 进行编程。总之，这是一个全面的系统级的器件。Steve Glaser 说“未来“All Programmable”器件要比可编程逻辑设计更多。他们将是可编程的系统集成，投入的芯片越来越少，而集成的系统功能却越来越多。”

Steve Glaser 还表示，在利用“All Programmable”器件创建系统的时候，设计者所面临的是一套全新的集成和实现设计生产力的瓶颈问题。一方面从集成的角度讲，其中包括集成算法 C 和寄存器传输级（RTL）的 IP；混合了 DSP、嵌入式、连接和逻辑域；验证模块和“系统”，以及设计和 IP 的重用等。实现的瓶颈包括芯片规划和分层；多领域和大量的物理优化；多元的“设计”与“时序”收敛；和后期的 ECO 和设计变更的连锁效应。正是为了解决集成和实现的瓶颈，使用户能够充分利用这些“All Programmable”器件的系统集成能力，赛灵思打造了全新 Vivado 设计套件。

在 Vivado 设计套件这一以系统为中心的工具套件的开发过程中，赛灵思以业界标准为标杆并采用了先进的 EDA 技术与方法。为此，无论是需要高度自动化按键式流程的客户，还是需要实际操作性极强的可修改流程的客户，他们现在能够比以往更快更高效地进行设

计（甚至包括赛灵思最大型的 FPGA 设计），同时还是在一个熟悉而直观的先进的 EDA 环境下工作。

赛灵思开发 Vivado 设计套件的目的是为客户提供一种具有完整系统可编程功能的新型工具套件，该套件远远超越了赛灵思为时甚久的旗舰型 ISE 设计套件。为帮助客户顺利过渡到 Vivado 设计套件的使用，赛灵思将继续坚定地为采用 7 系列及更早期的赛灵思 FPGA 技术的客户提供 ISE 支持。今后 Vivado 设计套件将成为赛灵思的旗舰设计环境，支持所有 7 系列器件及赛灵思未来器件。

赛灵思公司设计方法市场营销高级总监 Tom Feist 预计，一旦客户启用 Vivado 设计套件，就会立即体会到其相对于 ISE 的优势。

Feist 说："与同类竞争工具相比，Vivado 设计套件的运行时间可缩短高达 4 倍，能够显著提升用户的设计生产力。同时该设计套件纯熟地运用了多种业界标准，诸如 System Verilog、SDC（Synopsys 设计约束）、C/C++/System C、ARM AMBA AXI-4 互联、互动 TCL（工具命令语言）脚本。Vivado 设计套件的其它突出优势包括为 Vivado 的众多报告和设计视图提供全面的交叉探测功能、预计将于 2012 年推出的高级图形化 IP 集成功能、首款得到 FPGA 厂商全面支持的商用高层次综合技术（C++ 到 HDL 综合）。

一个面向新一代可编程设计的设计工具

赛灵思早在 1997 年就推出了 ISE 设计套件。ISE 套件采用了当时非常具有创新性的基于时序的布局布线引擎，这是 1995 年 4 月赛灵思收购 NeoCAD 获得的。在其后 15 年的时间里，随着 FPGA 能够执行日趋复杂的功能，赛灵思为 ISE 套件增添了许多新技术，包括多语言综合与仿真、IP 集成以及众多编辑和测试实用功能，努力不断从各个方面改进 ISE 设计套件。Feist 表示，赛灵思通过借鉴 ISE 设计套件的所有经验、注意事项和关键技术，并充分利用最新 EDA 算法、工具和技术，才打造出了这一颠覆性的全新 Vivado 设计套件。

Feist 表示："Vivado 设计套件将显著提升当今设计的生产力，且能够轻松实现升级扩展，应对 20nm 芯片及更小工艺技术所带来的容量和设计复杂性挑战。在过去 15 年时间里，EDA 技术取得了长足的发展。我们是从头开始开发这套工具的，所以我们能够在套件中采用最先进的 EDA 技术和标准，让其具有很强的前瞻性。"

确定性的设计收敛

任何 FPGA 厂商的集成设计套件的核心都是物理设计流程，包括综合， 布局规划、布局、布线、功耗和时序分析、优化和 ECO。 有了 Vivado，赛灵思打造了一个最先进的设计实现流程，可以让客户更快地达到设计收敛的目标。

可扩展的数据模型架构

为减少迭代次数和总体设计时间，并提高整体生产力，赛灵思用一个单一的、共享的、可扩展的数据模型建立其设计实现流程，这种框架也常见于当今最先进的 ASIC 设计环境。Feist 说：“这种共享、可扩展的数据模型可让流程中的综合、仿真、布局规划、布局布线等所有步骤在内存数据模型上运行，故在流程中的每一步都可以进行调试和分析，这样用户就可在设计流程中尽早掌握关键设计指标的情况，比如时序、功耗、资源利用和布线拥塞等。而且这些指标的估测将在实现过程中随着设计流程的推进而更趋于精确。”

具体来说，这种统一的数据模型使赛灵思能够将其新型多维分析布局布线引擎与套件的 RTL 综合引擎、新型多语言仿真引擎以及 IP 集成器 (IP Integrator)、引脚编辑器 (Pin Editor)、布局规划器 (Floor Planner)、芯片编辑器 (Chip Editor) 等功能紧密集成在一起。此外，该数据模型使赛灵思能够为该工具套件配备全面的交叉探测功能，以便用户跟踪并交叉探测原理图、时序报告、逻辑单元或其它视图，直至 HDL 代码中的给定问题。

Feist 说：“用户现在可以对设计流程中的每一步进行分析，而且环环相扣。在综合后的流程中，我们还提供时序、功耗、噪声和资源利用分析功能。所以如果很早就发现时序或功耗不符合要求，我可以通过短时迭代，前瞻性地解决问题，而不必等到布局布线完成后多次执行长时间迭代来解决。”

Feist 指出，这种可扩展数据模型提供的紧密集成功能还增强了按键式流程的效果，从而可满足用户对工具实现最大自动化，完成大部分工作的期望。Feist 表示，这种模型还能够满足客户对更高级的控制、更深入的分析以及掌控每个设计步骤进程的需要。

芯片规划层次化，快速综合

Feist 说， Vivado 为用户提供了设计分区的功能， 可以分别处理综合、执行、验证的设计， 使其可以在执行大型项目时，可以成立不同的团队分头设计。 同时，新的设计保存功能可以实现时序结果的复用， 并且可以实现设计的部分可重配置。

Vivado 还包括一个全新的综合引擎，旨在处理数以百万计的逻辑单元。新的综合引擎的关键是对 System Verilog 的强大支持。“Vivado 的综合引擎对 System Veriog 语言可综合子集的支持， 比市场上任何其他工具都更好” Feist 说。 它的综合速度是赛灵思 ISE Design Suite 综合工具 XST 的三倍，并支持“快速”模式，使得设计师迅速把握设计的面积和规模。 另外，也让他们调试问题的速度比之前采用 RTL 或门级原理图快 15 倍。随着越来越多的 ASIC 设计者转向可编程平台，赛灵思还在整个 Vivado 设计流程中提升了了 Synopsys 设计约束 （SDC）。标准的使用开启了一个新的自动化水平， 客户现在可以访问先进的 EDA 工具产生约束、检查跨时钟域、形式验证， 甚至是利用像 Synopsys PrimeTime 那样的工具进行静态时序的分析。

多维度分析布局器

Feist 解释说，上一代 FPGA 设计套件采用单维基于时序的布局布线引擎，通过模拟退火算法随机确定工具应在什么地方布置逻辑单元。使用这类工具时，用户先输入时序，模拟退火算法根据时序先从随机初始布局种子开始，然后在本地移动单元，“尽量”与时序要求吻合。Feist 说：“在当时这种方法是可行的，因为设计规模非常小，逻辑单元是造成延迟的主要原因。但今天随着设计的日趋复杂化和芯片工艺的进步，互联和设计拥塞一跃成为延迟的主因。采用模拟退火算法的布局布线引擎对低于 100 万门的 FPGA 来说是完全可以胜任的，但对超过这个水平的设计，引擎便不堪重负。不仅仅有拥塞的原因，随着设计的规模超过 100 万门，设计的结果也开始变得更加不可预测。”

着眼于未来，赛灵思为 Vivado 设计套件开发了新型多维分析布局引擎，其可与当代价值百万美元的 ASIC 布局布线工具中所采用的引擎相媲美。该新型引擎通过分析可以找到从根本上能够最小化设计三维（时序、拥塞和走线长度）的解决方案。Feist 表示：“Vivado 设计套件的算法从全局进行优化，同时实现了最佳时序、拥塞和走线长度，它对整个设计进行通盘考虑，不像模拟退火算法只着眼于局部调整。这样该工具能够迅速、决定性地完成上千万门的布局布线，同时保持始终如一的高结果质量（见图 1）。由于它能够同时处理三大要素，也意味着可以减少重复运行流程的次数。”

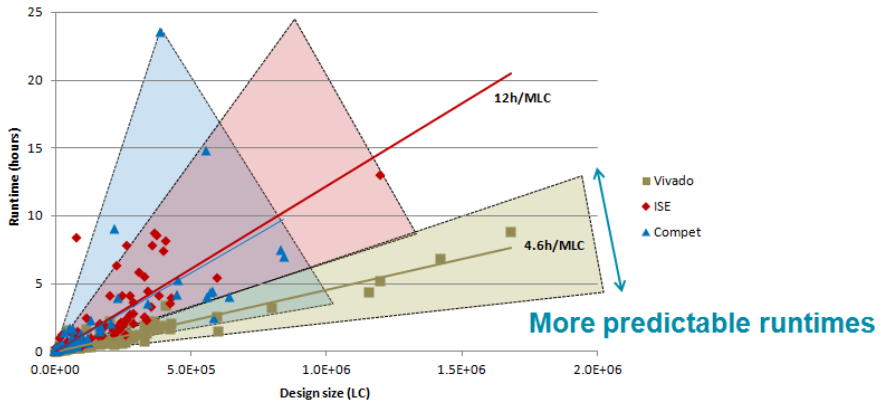
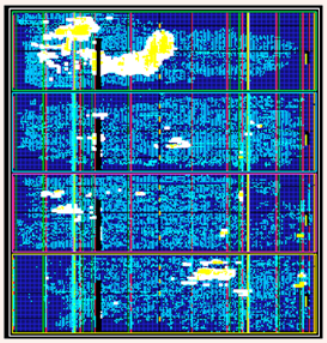
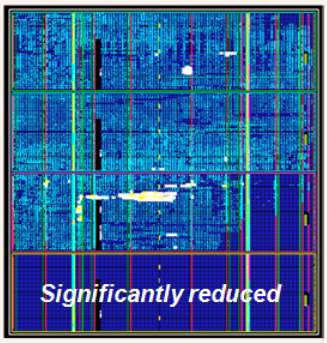


图 1：与其它 FPGA 工具相比，Vivado 设计套件能够以更快的速度、更优异的质量完成各种规模的设计

为展现这种优势，赛灵思在 ISE 设计套件和 Vivado 设计套件中用按键式流程方式同时运行针对赛灵思 Zynq-7000 EPP 仿真平台开发的原始 RTL，同时将每种工具指向赛灵思世界最大容量的 FPGA 器件——采用堆叠硅片互联技术的 Virtex-7 2000T FPGA。这样 Vivado 设计套件的布局布线引擎仅耗时 5 个小时就完成了 120 万逻辑单元的布局，而 ISE 设计套件则耗时长达 13 个小时（图 2）。而且采用 Vivado 设计套件实现的设计拥塞明显降低（设计中显示为灰色和黄色的部分），器件占用面积较小，这说明总体走线长度缩

短。Vivado 设计套件实现方案还体现出更出色的内存编译效率，仅用 9GB 就实现设计要求的内存，而 ISE 设计套件则用了 16GB。

Feist 表示：“从本质上来说， 你看到的就是 Vivado 设计套件在满足所有约束条件下，实现整个设计只需占用 3/4 的器件资源。这意味着用户可以为自己的设计添加更多的逻辑功能和片上存储器，甚至可以采用更小型的器件。”

	ISE	Vivado
P&R runtime	13 hrs.	**5 hrs**
Memory usage	16 GB	**9 GB**
Wire length and congestion		

*Zynq Emulation Platform

图 2：Vivado 设计套件的多维分析算法可创建专门针对最佳时序、拥塞和走线长度（而不仅仅只是针对最佳时序）优化的布局。

功耗优化和分析

当今时代， 功耗是 FPGA 设计中最关键的环节之一。因此，Vivado 设计套件的重点就是专注于利用先进的功耗优化技术，为用户的设计提供更大的功耗降低优势。“我们在技术上采用了目前在 ASIC 工具套件中可以见到的先进的时钟门控制技术，通过该技术可以拥有设计逻辑分析的功能，同时消除不必要的翻转”Feist 表示 “具体来说，新的技术侧重于翻转因子 ‘alpha’，它能够降低 30%的动态功耗”Feist 说，赛灵思去年在 ISE 设计套件中开始应用该技术， 并一直沿用至今。 Vivado 将继续加强这一技术的应用。

此外，有了这一新的可扩展的数据共享模型，用户可以在设计流程的每一个阶段得到功耗的估值，从而可以在问题发展的前期就能预先进行分析， 从而能够在设计流程中，先行解决问题。

简化工程变更单（ECO）

增量流量让快速处理小的设计更改成为可能，每次更改后只需重新实现设计的一小部分，使迭代速度更快。它们还能在每个增量变化之后实现性能的表现，从而无需多个设计迭代。为此，Vivado 设计套件还包括对一个流行的 ISE FPGA 编辑器工具的新的扩展，称为

Vivado 器件编辑器。Feist 说，在一个布局布线设计上使用 Vivado 器件编辑器，设计师现在有能力去做移动单元， 重新布线， 连接一个寄存器输出作为调试管脚， 修改 DCM 或者查找表（LUT）的参数的工程变更单（ECO）——在设计周期的后期，无需通过返回设计重新综合和实现。他说，目前行业没有任何其他 FPGA 设计环境可以提供这种级别的灵活性。

基于业界标准而打造

四年半前， 当赛灵思开始从头打造 Vivado 设计套件的时候，架构打造的首要任务，就是用标准的设计环境代替专有格式。致力于打造一个开放的环境，让客户能够用 EDA 工具和第三方 IP 进行扩展。例如，Vivado 设计套件可支持 SDC（Synopsys 设计约束）、ARM AMBA AXI 4 IP 互联标准、IP-XACT IP 封装和交付标准，并且在新环境中提供了强大的互动 TCL 脚本功能。。

流程自动化，非流程强制化

在 Vivado 设计套件构建过程中，赛灵思工具团队遵循这样的原则“自动化设计方式，不强制设计方式”。Feist 说：“不管用户用 C、C++、SystemC、VHDL、Verilog、System Verilog、MATLAB 还是 Simulink 开始编程，也不管他们用的是我们的 IP 还是第三方的 IP，我们提供了一种实现所有流程自动化，帮助客户提高生产力的方法。我们还充分考虑到我们的用户的各种技能水平和偏好，既能满足需要全按键式流程的客户的要求，也能满足在设计流程的每一步都进行分析的客户的要求，甚至还能满足那些认为用 GUI 的是低手，喜欢用 TCL 以命令行或批处理模式完成全部设计流程的客户的要求。用户能够根据自己的特定需求，选用套件功能。”

为进一步增强所有用户的设计体验，赛灵思在 Vivado 设计套件中加入了某些奇妙的新功能，同时为深受客户赞誉的 FPGA 编辑器增加了芯片编辑器功能。

IP 封装器、集成器和目录

赛灵思的工具架构团队把重点放在新套件专门的 IP 功能设计上，以便于 IP 的开发、集成与存档。为此，赛灵思开发出了 IP 封装器、IP 集成器和可扩展 IP 目录三种全新的 IP 功能。

Feist 表示：“今天很难找到不采用 IP 的 IC 设计。我们采用业界标准，提供专门便于 IP 开发、集成和存档/维护的工具，这都有助于我们生态系统合作伙伴中的 IP 厂商和客户快速构建 IP，提高设计生产力。目前已有 20 多家厂商提供支持该最新套件的 IP。”

采用 IP 封装器，赛灵思的客户、赛灵思公司自己的 IP 开发人员和赛灵思生态环境合作伙伴可以在设计流程的任何阶段将自己的部分设计或整个设计转换为可重用的内核，这里的

设计可以是 RTL、网表、布局后的网表甚至是布局布线后的网表。IP 封装器可以创建 IP 的 IP-XACT 描述，这样用户使用新型 IP 集成器就能方便地将 IP 集成到未来设计中。IP 封装器在 XML 文件中设定了每个 IP 的数据。Feist 说一旦 IP 封装完成，用 IP 集成器功能就可以将 IP 集成到设计的其余部分。

Feist 说："IP 集成器可以让客户在互联层面而非引脚层面将 IP 集成到自己的设计中。可以将 IP 逐个拖放到自己的设计图（canvas）上，IP 集成器会自动提前检查对应的接口是否兼容。如果兼容，就可以在内核间划一条线，然后集成器会自动编写连接所有引脚的具体 RTL。"

Feist 表示："这里的重点是可以取出已用 IP 集成器集成的四五个模块的输出，然后通过封装器再封装。这样就成了一个其他人可以重新使用的 IP。这种 IP 不一定必须是 RTL，可以是布局后的网表，甚至可以是布局布线后的网表模块。这样可以进一步节省集成和验证时间。"

第三大功能是可扩展 IP 目录，它使用户能够用他们自己创建的 IP 以及赛灵思和第三方厂商许可的 IP 创建自己的标准 IP 库。赛灵思按照 IP-XACT 标准要求创建的该目录能够让设计团队乃至企业更好的组织自己的 IP，供整个机构共享使用。Feist 称赛灵思系统生成器 (System Generator) 和 IP 集成器均已与 Vivado 可扩展 IP 目录集成，故用户可以轻松访问编目 IP 并将其集成到自己的设计项目中。

Vivado 产品营销总监 Ramine Roane 指出："以前第三方 IP 厂商用 Zip 文件交付的 IP 格式各异，而现在他们交付的 IP，不仅格式统一，可立即使用，而且还与 Vivado 套件兼容。"

Vivado HLS 把 ELS 带入 主流

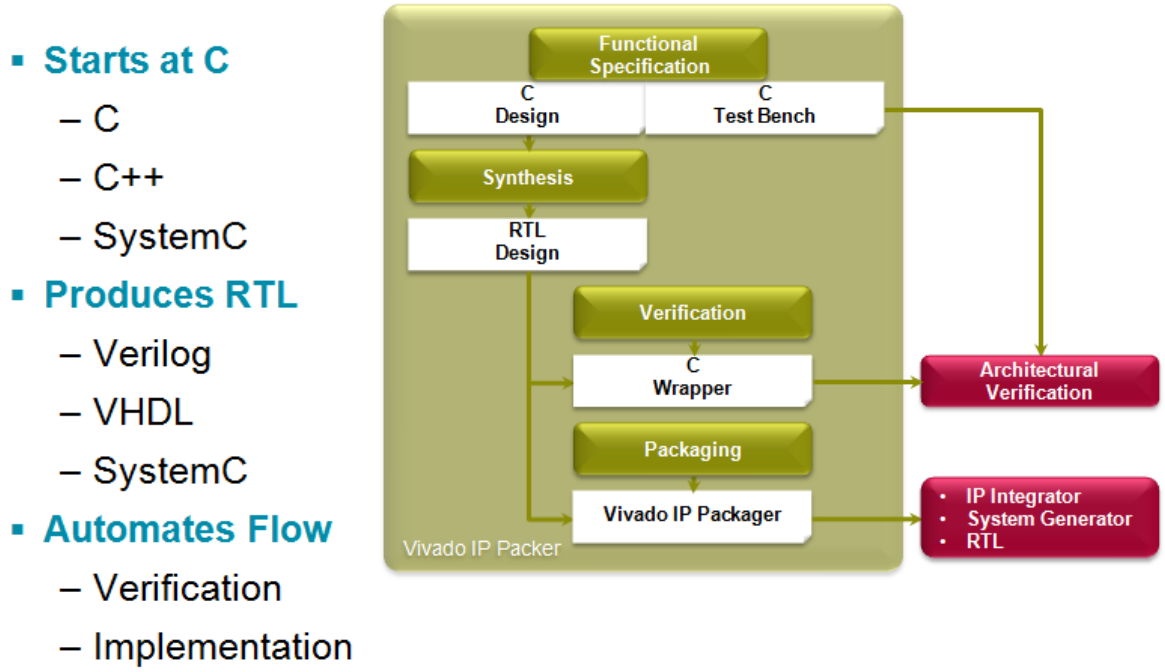
可能 Vivado 设计套件采用的众多新技术中，最具有前瞻性的要数新的 Vivado HLS（高层次综合）技术，这是赛灵思 2010 年收购 AutoESL 后获得的。在收购这项业界最佳技术之前，赛灵思对商用 ESL 解决方案进行了广泛评估。市场调研公司 BDTI 的研究结果帮助赛灵思做出了收购决策（见 赛灵思中国通讯杂志第 36 期"BDTI 研究认证以 DSP 为核心的 FPGA 设计的高层次综合流程 " http://china.xilinx.com/china/xcell/xl36/2-7.pdf）。

Feist 表示："Vivado HLS 全面覆盖 C、C++、SystemC，能够进行浮点运算和任意精度浮点运算。这意味着只要用户愿意，可以在算法开发环境而不是典型的硬件开发环境中使用该工具。这样做的优点在于在这个层面开发的算法的验证速度比在 RTL 级有数量级的提高。这就是说，既可以让算法提速，又可以探索算法的可行性，并且能够在架构级实现吞吐量、时延和功耗的权衡取舍。"

设计人员使用 Vivado HLS 工具可以通过各种方式执行各种功能。为了演示方便，Feist 讲解了用户如何通过一个通用的流程进行 Vivado HLS 开发 IP 并将其集成到自己的设计当中。

在这个流程中，用户先创建一个设计 C、C++ 或 SystemC 表达式，以及一个用于描述期望的设计行为的 C 测试平台。随后用 GCC/G++或 Visual C++ 仿真器验证设计的系统行为。一旦行为设计运行良好，对应的测试台的问题全部解决，就可以通过 Vivado HLS Synthesis 运行设计，生成 RTL 设计，代码可以是 Verilog，也可以是 VHDL。有了 RTL 后，随即可以执行设计的 Verilog 或 VHDL 仿真，或使用工具的 C 封装器技术创建 SystemC 版本。然后可以进行 System C 架构级仿真，进一步根据之前创建的 C 测试平台，验证设计的架构行为和功能。

设计固化后，就可以通过 Vivado 设计套件的物理实现流程来运行设计，将设计编程到器件上，在硬件中运行和/或使用 IP 封装器将设计转为可重用的 IP。随后使用 IP 集成器将 IP 集成到设计中，或在系统生成器 (System Generator) 中运行 IP。



图三 – Vivado HLS 支持设计团队直接从系统级开始他们的设计.

这只是使用该工具的方法之一。实际上在即将发行的赛灵思 Xcell 杂志中，安捷伦的 Nathan Jachimiec 和赛灵思的 Fernando Marinez Vallina 将介绍如何使用 Vivado HLS 技术（在 ISE 设计套件的流程中称为 AutoESL 技术）为安捷伦开发 UDP 包引擎。

VIVADO 仿真器

除了 Vivado HLS，公司还为该套件新开发了一种同时支持 Verilog 和 VHDL 的混合语言仿真器。Feist 表示，只需要单击鼠标，用户就可以启动行为仿真，然后从集成波形查看器中查看结果。通过采用最新性能优化的仿真内核，可加速行为级仿真速度，执行速度比赛灵思 ISE 设计套件仿真器快三倍。采用硬件协仿真，门级仿真速度则可加快 100 倍。

2012 供货情况

之前赛灵思 ISE 设计套件针对不同类型设计者（逻辑，嵌入式， DSP 和系统）所发行的四个版本， 赛灵思将推出 Vivado 设计套件的两个版本。其中， Vivado 基础设计版本包括新型 IP 工具和 Vivado 的综合-比特流流程。而 Vivado 系统版本则包括设计版本的所有工具、系统生成器和赛灵思的最新 Vivado HLS 工具。

Vivado 设计套件 2012.1 版本目前已随早期试用计划推出。如需了解更多详情，敬请联系您所在地的赛灵思代表。2012.2 版本将于第二季度中期公开发布，今年晚些时候还将推出 WebPACK。目前支持服务尚未到期的 ISE 设计套件用户除了 ISE 之外，将免费得到全新的 Vivado 设计套件。

对使用 28nm 器件之前器件的用户，赛灵思将继续提供对 ISE 设计套件的支持。如需了解更多 Vivado 详情，敬请访问 www.xilinx.com/design-tools。

--完